

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
009299098 **Image available**

WPI Acc No: 1992-426507/199252

XRAM Acc No: C92-189132

XRPX Acc No: N92-325489

Mfg. thin film semiconductor device having low off current - by
patterning doped silicon@ film on gate, source and drain areas, removing
exposed portion of gate oxide film, and adding impurity NoAbstract

Patent Assignee: SEIKO EPSON CORP (SHIH)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 4320346	A	19921111	JP 9188370	A	19910419	199252 B

Priority Applications (No Type Date): JP 9188370 A 19910419

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 4320346	A	7	H01L-021/336	
------------	---	---	--------------	--

Title Terms: MANUFACTURE; THIN; FILM; SEMICONDUCTOR; DEVICE; LOW;
CURRENT; PATTERN; DOPE; SILICON; FILM; GATE; SOURCE; DRAIN; AREA;
REMOVE; EXPOSE; PORTION; GATE; OXIDE; FILM; ADD; IMPURE; NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-021/336

International Patent Class (Additional): H01L-027/12; H01L-029/784

File Segment: CPI; EPI

03955246 **Image available**

MANUFACTURE OF THIN FILM SEMICONDUCTOR DEVICE

PUB. NO.: 04-320346 [JP 4320346 A]

PUBLISHED: November 11, 1992 (19921111)

INVENTOR(s): TAKENAKA SATOSHI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)
, JP (Japan)

APPL. NO.: 03-088370 [JP 9188370]

FILED: April 19, 1991 (19910419)

INTL CLASS: [5] H01L-021/336; H01L-029/784; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R004 (PLASMA); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1341, Vol. 17, No. 156, Pg. 88, March
26, 1993 (19930326)

ABSTRACT

PURPOSE: To inhibit a reduction in an ON current by eliminating an exposed portion of a gate oxide film with a gate electrode and a source/drain region as a mask, using the gate electrode and the source/drain region as a mask, adding impurity elements to an exposed portion of a non-single crystal semiconductor thin film and forming an offset region.

CONSTITUTION: A gate electrode 1-11, a source contact region 1-12, a drain contact region 1-13 are used as a mask. An exposed portion of a gate oxide film is removed by etching so that a non-single crystal semiconductor thin film may be partially exposed. Then, low concentration impurity elements are added thereto, thereby forming an offset region 1-14. More specifically, the gate electrode 1-13, the source contact region 1-12 and the drain contact region 1-13 are used as a mask so as to form the offset region 1-14 in a self-alignment fashion.

(51)Int.Cl.³

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/336

29/784

27/12

P 8728-4M

9056-4M

H 0 1 L 29/ 78

3 1 1 P

審査請求 未請求 請求項の数3 (全 7 頁)

(21)出願番号 特願平3-88370

(22)出願日 平成3年(1991)4月19日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 竹中 敏

長野県諏訪市大和3丁目3番5号セイコー

エプソン株式会社内

(74)代理人 弁理士 鈴木 喜三郎 (外1名)

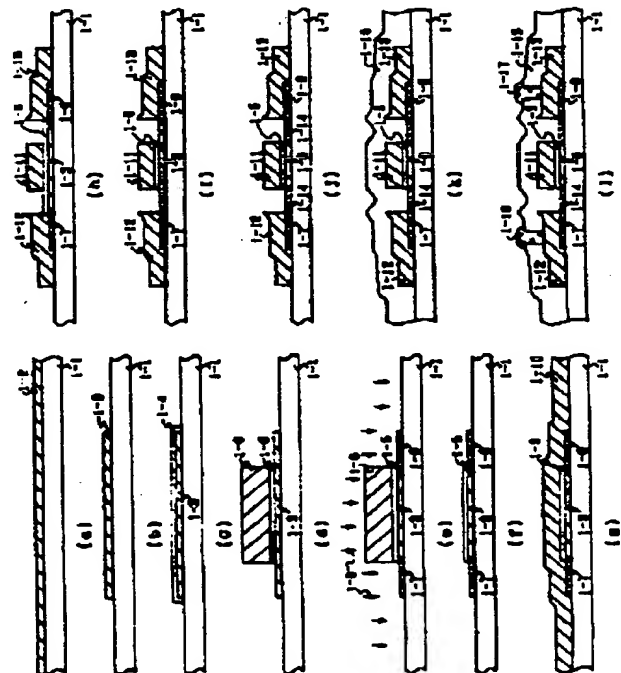
(54)【発明の名称】 薄膜半導体装置の製造方法

(57)【要約】

【目的】 簡単な方法でオフ電流が低く、オン電流の低減を最小限に抑えたLDD構造薄膜トランジスタを作成する。

【構成】 ゲート絶縁膜をマスクとして不純物をシリコン薄膜に添加して、ソース、ドレインコンタクト領域を形成する。次にシリコン薄膜及びゲート絶縁膜上に成膜されたドーパントシリコン薄膜を同一フォトリソ工程によって、ゲート電極、ソース領域、ドレイン領域にパターンニングする。そして、前記ゲート電極、ソース領域、ドレイン領域をマスクとしてゲート酸化膜の露出部を除去し、前記シリコン薄膜に低濃度の不純物を添加することによって自己整合的にLDD構造薄膜トランジスタを作成する。

【効果】 オフ電流およびオフ電流の跳ね上がりのきわめて少ない薄膜トランジスタを簡単な工程で作成することができる。更に、オン電流の低減を最小限に抑えることができる。



【特許請求の範囲】

【請求項1】 絶縁性非晶質材料上に形成される薄膜半導体装置に於て、

(a) 絶縁性非晶質材料上に、非単結晶半導体薄膜を形成し島状にパターンニングする工程、

(b) 該島状にパターンニングされた非単結晶半導体薄膜の上に、ゲート絶縁膜を形成し、レジストマスクを形成して該ゲート絶縁膜をパターンニングして前記非単結晶半導体薄膜の表面の1部を少なくとも露出させる工程、

(c) 前記レジストマスクとゲート酸化膜をマスクとして高濃度のイオン注入を行い、コンタクト領域を形成する工程、

(d) 前記レジストマスクを剥離した後、低抵抗の不純物添加半導体薄膜を成膜し、該不純物添加半導体薄膜をパターンニングして前記ゲート絶縁膜上にゲート電極、および、前記露出させた非単結晶半導体薄膜上にソース、ドレイン領域を形成する工程、

(e) 前記ゲート電極およびソース、ドレイン領域をマスクとして前記ゲート酸化膜の露出部を除去する工程、

(f) 前記ゲート電極およびソース、ドレイン領域をマスクとして、前記非単結晶半導体薄膜の露出部に不純物元素を添加してオフセット領域を形成する工程を少なくとも含むことを特徴とする薄膜半導体装置の製造方法。

【請求項2】 前記ゲート電極、およびソース、ドレイン領域はそれぞれ分離され絶縁されていることを特徴とする請求項1記載の薄膜半導体装置の製造方法。

【請求項3】 前記オフセット領域の不純物濃度は、前記コンタクト領域、及びソース、ドレイン領域の不純物濃度よりも小さいことを特徴とする請求項1記載の薄膜半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、石英基板あるいはガラス基板のような絶縁性非晶質材料上にオフ電流が極めて少なく、さらにドレイン耐圧の高い薄膜半導体装置の製造方法に関する。

【0002】

【従来の技術】非晶質絶縁基板あるいは非晶質絶縁膜上に、結晶方位の揃った結晶粒径の大きな多結晶シリコン薄膜、あるいは単結晶シリコン薄膜を形成する方法は、SOI (Silicon On Insulator) 技術として知られている。〔SOI構造形成技術、産業図書〕。大きく分類すると、再結晶化法、エピタキシャル法、絶縁層埋め込み法、貼り合わせ法という方法がある。再結晶化法は、レーザーアニールあるいは電子ビームアニールによりシリコンを熔融再結晶化させる方法と、熔融する温度までは昇温させずに固相成長させる固相成長法の2つに分類される。比較的低温で再結晶化で

きるという点で固相成長法が優れている。550℃の低温熱処理にもかかわらずシリコン薄膜の結晶粒が成長したという結果も報告されている。〔IEEE Electron Device Letters, vol. EDL-8, No. 8, p361, August 1987〕。

【0003】

【発明が解決しようとする課題】しかしながらこのように結晶性の優れたシリコン薄膜を用いて作成された薄膜トランジスタはドレイン耐圧が小さくなる。欠陥が減少したために低い印加電圧のもとでも空乏層がひろがりやすくなることが原因の一つと考えられる。

【0004】このようなドレイン耐圧の低下を防ぐために、LDD (Lightly Doped Drain) 構造を形成する方法がある。このプロセスについて図3で簡単に説明する。図3ではゲート電極形成から、層間絶縁膜形成までの工程を説明する。図3(a)において3-1は絶縁性非晶質材料、3-2はシリコン薄膜、3-3はゲート絶縁膜、3-4はゲート電極をしめしている。

【0005】次に、低濃度のイオン注入を行い、オフセット領域3-5を形成する。ドーズ量は $1 \times 10^{11} \text{ cm}^{-2} \sim 1 \times 10^{13} \text{ cm}^{-2}$ 程度の低濃度とし、Nchならばリン等のドナー型の不純物を、またPchならばボロン等のアクセプター型の不純物をイオン注入する。矢印3-6はイオンビームを示している。

【0006】続いて、側壁を形成する工程にはいる。まず、 SiO_2 膜3-7を成膜する。その後、異方性エッチングによって該 SiO_2 膜3-7をエッチングすると図3(d)3-8で示されるような側壁が形成される。次に、図3(e)に示されるようにゲート電極3-4および側壁3-8をマスクとしてイオン注入してソース領域3-9、およびドレイン領域3-10を形成する。該ソース、ドレイン領域のドーズ量は $1 \times 10^{11} \sim 1 \times 10^{13} \text{ cm}^{-2}$ 程度とし、前記オフセット領域3-5のドーズ量よりも多くする。

【0007】図3(f)に示されるように層間絶縁膜3-12を成膜し、活性化アニールを行う。その後、コンタクト電極を形成する工程にはいる。

【0008】以上述べた従来の方法では異方性エッチングを行うために、マイクロ波プラズマエッチング法や、ECRエッチング法、あるいは低圧マグネトロンRIE (Reactive Ion Etching) 法等の方法がある。しかし、これらの方法を例えば30cm角の大型基板の処理に応用する場合には基板内のばらつきが問題となる。図3(d)に示したような側壁3-8の微妙な形状を制御しなければならないのでこの問題は大きい。更に、 SiO_2 膜3-7の膜厚のばらつきも影響を与える。また、LDD構造の構造上の性質からオン電流が低減するという問題点がある。

3

【0009】本発明は、上記のような従来のプロセスの問題点を解決し、工程安定性に問題がある異方性エッチング技術を用いないで優れたLDD型薄膜トランジスタを形成し、オフ電流が低く、オン電流の低減を最小限に抑えた優れた薄膜トランジスタを作成する方法を提供することを目的としている。

【0010】

【課題を解決するための手段】本発明の薄膜半導体装置の製造方法は、絶縁性非晶質材料上に形成される薄膜半導体装置に於て、

〔a〕 絶縁性非晶質材料上に、非単結晶半導体薄膜を形成し島状にパターンニングする工程、

〔b〕 該島状にパターンニングされた非単結晶半導体薄膜の上に、ゲート絶縁膜を形成し、レジストマスクを形成して該ゲート絶縁膜をパターンニングして前記非単結晶半導体薄膜の表面の1部を少なくとも露出させる工程、

〔c〕 前記レジストマスクとゲート酸化膜をマスクとして高濃度のイオン注入を行い、コンタクト領域を形成する工程、

〔d〕 前記レジストマスクを剥離した後、低抵抗の不純物添加半導体薄膜を成膜し、該不純物添加半導体薄膜をパターンニングして前記ゲート絶縁膜上にゲート電極、および、前記露出させた非単結晶半導体薄膜上にソース、ドレイン領域を形成する工程、

〔e〕 前記ゲート電極およびソース、ドレイン領域をマスクとして前記ゲート酸化膜の露出部を除去する工程、

〔f〕 前記ゲート電極およびソース、ドレイン領域をマスクとして、前記非単結晶半導体薄膜の露出部に不純物元素を添加してオフセット領域を形成する工程を少なくとも含むことを特徴とする。

【0011】さらに、前記ゲート電極、およびソース、ドレイン領域はそれぞれ分離され絶縁されていることを特徴とする。

【0012】さらに、前記オフセット領域の不純物濃度は、前記コンタクト領域、及びソース、ドレイン領域の不純物濃度よりも小さいことを特徴とする。

【0013】

【実施例】（実施例1）LDD構造の薄膜トランジスタを作成する工程に沿って本発明の実施例1を説明する。

【0014】絶縁性非晶質材料上に、非単結晶半導体薄膜を成膜する。前記絶縁性非晶質材料としては、石英基板、ガラス基板、窒化膜あるいはSiO₂膜等が用いられる。石英基板を用いる場合はプロセス温度は1200℃程度まで許容されるが、ガラス基板を用いる場合は、600℃以下の低温プロセスに制限される。前記非単結晶半導体薄膜を形成するには、LPCVD法、プラズマCVD法、スパッタ法、蒸着法、レーザーアニール法、固相成長法等の方法がある。以下では、石英基板を用い、前記非単結晶半導体薄膜として固相成長Si薄膜を

4

用いた場合を実施例として説明する。固相成長Si薄膜ばかりでなく、多結晶Si薄膜やSOI（Silicon on Insulator）にも本発明を応用することができる。

【0015】図1（a）に示すように、プラズマCVD装置を用い、SiH₄とH₂の混合ガスを13.56MHzの高周波グロー放電により分解させて、非晶質Si膜1-2を石英基板1-1上に堆積させる。前記混合ガスのSiH₄分圧は10～20%、デポ中の内圧は0.5～1.5torr程度である。基板温度は250℃以下、180℃程度が適している。赤外吸収測定より結合水素量を求めたところ約8atomic%であった。前記非晶質Si膜1-2の堆積前にチェンバーをフレオン洗浄すると、続いて堆積させられた非晶質Si膜は2×10¹⁸cm⁻³の弗素を含んでいる。このような不純物弗素を含有していると固相成長が充分に進まない。従って、本発明においては、前記フレオン洗浄後、1時間程度のダミーの堆積を行ってから、実際の堆積を行う。あるいは、フレオン洗浄を廃止し、ビーズ処理等の別の方法でチェンバーの洗浄を行う。

【0016】続いて、該非晶質Si膜を、400℃～500℃で熱処理して水素を放出させる。この工程は、水素の爆発的な脱離を防ぐことを目的としている。

【0017】次に、前記非晶質薄膜1-2を固相成長させる。固相成長方法は、石英管による炉アニールが便利である。アニール雰囲気としては、窒素ガス、水素ガス、アルゴンガス、ヘリウムガスなどを用いる。1×10⁻⁶から1×10⁻¹⁰Torrの高真空雰囲気アニールを行ってもよい。固相成長アニール温度は500℃～700℃とする。この様な低温アニールでは選択的に、結晶成長の活性化エネルギーの小さな結晶方位を持つ結晶粒のみが成長し、しかもゆっくりと大きく成長する。発明者の実験において、アニール温度600℃、アニール時間16時間で固相成長させることにより2μm以上の大粒径シリコン薄膜が得られている。

【0018】固相成長法ではなく、LPCVD法、プラズマCVD法、スパッタ法、蒸着法、MBE（Molecular Beam Epitaxy）法、あるいはレーザーアニール法等によって非単結晶シリコン薄膜を形成してもよい。

【0019】次に、前記固相成長シリコン薄膜をフォトリソグラフィ法によって図1（b）1-3に示されているように島状にパターンニングする。

【0020】次に図1（c）に示されているように、ゲート酸化膜1-4を形成する。該ゲート酸化膜の形成方法としてはLPCVD法、あるいは光励起CVD法、あるいはプラズマCVD法、ECRプラズマCVD法、あるいは高真空蒸着法、あるいはプラズマ酸化法、あるいは高圧酸化法などのような500℃以下の低温方法がある。該低温方法で成膜されたゲート酸化膜は、熱処理す

5

ることによってより緻密で界面準位の少ない優れた膜となる。非晶質絶縁基板1-1として石英基板を用いる場合は、熱酸化法によることができる。該熱酸化法にはdry酸化法とwet酸化法とがあるが、酸化温度は1000℃以上と高いが膜質が優れていることからdry酸化法の方が適している。

【0021】酸化膜形成後、ボロンをチャネルイオン注入してもよい。これは、Nch薄膜トランジスタのスレッシュホールド電圧がマイナス側にシフトすることと、Pch薄膜トランジスタのスレッシュホールド電圧がプラス側にシフトすることを防ぐことを目的としている。前記非晶質シリコン膜1-2のデポ膜厚が500~1500Å程度の場合は、ボロンのドーズ量は $1 \times 10^{12} \sim 5 \times 10^{12} \text{ cm}^{-2}$ 程度が適している。前記非晶質シリコン膜の膜厚が500Å以下の薄い場合にはボロンドーズ量を少なくし、目安としては $1 \times 10^{12} \text{ cm}^{-2}$ 以下にする。また、前記膜厚が1500Å以上の厚い場合にはボロンドーズ量を多くし、目安としては $5 \times 10^{12} \text{ cm}^{-2}$ 以上にする。

【0022】次に、レジストマスク1-6を形成し、ソース、ドレイン領域を形成する部分のゲート酸化膜を剥離して図1(d)に示すような島状ゲート酸化膜1-5を形成する。

【0023】次に図1(e)に示されるように、不純物元素のイオン注入によって、ソース領域1-7、およびドレイン領域1-8を形成する。このソース、ドレイン領域のイオンドーズ量 N_d は、 $1 \times 10^{13} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 程度が適している。

【0024】前記ソース領域1-7、及びドレイン領域1-8はイオン注入法ばかりではなく、他の方法によっても形成することができる。例えばプラズマドーピング法を用いることができる。平行平板型のプラズマCVD装置を用い、フォスフィンガスあるいはジボランガスをグロー放電分解することによってリン、あるいはボロンを基板上に析出させ、選択的にシリコン薄膜1-3に不純物を添加することによってソース、ドレイン領域を形成するものである。その他、イオンシャワードーピング法やレーザードーピング法なども有効な方法である。

【0025】つづいて、図1(f)のようにレジストマスク1-6を剥離する。

【0026】ゲート電極材料およびソース、ドレインコンタクト領域を構成する不純物添加シリコン薄膜1-10を成膜する。Nch薄膜トランジスタの場合はリン等のドナー型の不純物、Pch薄膜トランジスタの場合はアクセプター型の不純物を添加する。フォスフィンガス(PH_3)とシランガス(SiH_4)との混合ガス、またはジボランガス(B_2H_6)とシランガスとの混合ガスを用いたプラズマCVD法でドーブト非晶質シリコン薄膜を成膜した後、固相成長させる方法、またはLPCVD法によりドーブト非晶質シリコンあるいは多結晶シリコ

6

ン薄膜を成膜し、必要に応じてアニールする方法、または未添加シリコン薄膜を成膜した後、ブレデボ等拡散によって不純物を添加する方法等がある。不純物濃度は $1 \times 10^{19} \text{ cm}^{-3}$ 以上、望ましくは $1 \times 10^{20} \text{ cm}^{-3}$ 以上が望ましい。

【0027】続いて次のフォト工程によって、ゲート電極およびソース、ドレイン領域を同時に形成する。図1(h)において、1-11はゲート電極、1-12はソースコンタクト領域、1-13はドレインコンタクト領域を示している。ゲート電極1-11と前記ソースコンタクト領域との間隔、及びゲート電極と前記ドレインコンタクト領域との間隔はLDD構造薄膜トランジスタのオフセット領域の長さを決める重要なパラメーターである。値としては1μm以下が望ましい。

【0028】次に、前記ゲート電極1-11およびソースコンタクト領域1-12およびドレインコンタクト領域1-13をマスクとしてゲート酸化膜の露出部をエッチング除去して、図1(i)に示すように非単結晶半導体薄膜の一部を露出させる。エッチングには弗酸(HF)の水溶液を用いるのが一般的である。

【0029】次に低濃度の不純物元素の添加を行い、図1(j)に示すようなオフセット領域1-14を形成する。ゲート電極1-11とソースコンタクト領域1-12とドレインコンタクト領域1-13をマスクとして自己整合的にオフセット領域1-14を形成する。ソース、ドレイン領域と同様に、Nch薄膜トランジスタの場合はドナー型の不純物を、Pch薄膜トランジスタの場合はアクセプター型の不純物を添加する。オフセット領域の不純物濃度は、前記ソース、ドレイン領域の不純物濃度よりも少なくする。イオン注入法を用いる場合はイオン注入ドーズ量としては、 $1 \times 10^{12} \sim 1 \times 10^{14} \text{ cm}^{-2}$ 程度とする。不純物濃度では $1 \times 10^{17} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度となる。不純物添加方法としては、イオン注入法の他に、先にも述べたように、レーザードーピング法あるいはプラズマドーピング法などの方法がある。シリコン薄膜の表面が露出しているので添加効率が優れている。

【0030】オフセット領域を形成した後、図1(k)に示されるように、層間絶縁膜1-15を積層する。該層間絶縁膜材料としては、酸化膜あるいは窒化膜などを用いる。絶縁性が良好ならば膜厚はいくらでもよいが、数千Åから数μm程度が普通である。酸化膜の形成方法としてはLPCVD法、APCVD法、プラズマCVD法、ECRプラズマCVD法、スパッタ法等の方法がある。窒化膜の形成方法としては、LPCVD法あるいはプラズマCVD法などが簡単である。反応には、アンモニアガス(NH_3)とシランガスと窒素ガスとの混合ガス、あるいはシランガスと窒素ガスとの混合ガスなどを用いる。

【0031】続いて、前記層間絶縁膜1-15の緻密化

と前記ソース、ドレイン領域およびオフセット領域の活性化と結晶性の回復を目的として活性化アニールを行う。アニール方法としては、1段階活性化アニール法、あるいは2段階活性化アニール法等がある。2段階活性化アニール法について説明する。N₂ガス雰囲気中でまず600~800℃程度の温度で、1~20時間程度の1段階アニールを行ってイオン注入されたオフセット領域の結晶性を回復させる。600℃程度の低温では10時間から20時間のアニールを行う。また、800℃の比較的高温では1時間から10時間の短時間のアニールをする。このような1段階アニールを行った後、1000℃以上の温度で1時間以内の2段階アニールを行って不純物イオンを活性化させる。以上のような2段階活性化アニールによって、ソース、ドレイン領域の結晶性の回復と活性化を行う。アニール雰囲気は窒素だけではなく水素ガス、アルゴンガス、ヘリウムガス、あるいは、真空中でも良い。

【0032】次に、水素化処理を行っても良い。水素プラズマ法、あるいは水素イオン注入法、あるいはプラズマ窒化膜からの水素の拡散法などの方法で水素イオンを導入すると、結晶粒界に存在するダングリングボンドや、ゲート酸化膜界面などに存在する欠陥や、ソース、ドレイン部とチャネル部との接合部に存在する欠陥が不活性化される。この様な水素化工程は、層間絶縁膜1-15を積層する前におこなってもよい。または、後に述べる、ソース電極とドレイン電極を形成してから前記水素化工程を行ってもよい。

【0033】次に図1(1)に示すように、前記層間絶縁膜1-15にコンタクトホールを形成し、コンタクト電極を形成してソース電極1-16およびドレイン電極1-17とする。該ソース電極及びドレイン電極は、アルミニウムあるいはクロムなどの金属材料で形成する。この様にして薄膜トランジスタが形成される。

【0034】(実施例2) 層間絶縁膜表面形状の平坦化が必要となる場合は、図1(k)においてBPSPG(borophosphosilicate glass)膜を成膜し、低温リフローさせることによってきわめて平坦な層間絶縁膜を得ることができる。BPSPG膜はAPCVD法、LPCVD法、プラズマCVD法、スピニングガラス法等の方法がある。750℃程度の低温でもリフローすることができる。図2に、リフロー技術を用いて作成した薄膜トランジスタについて説明する。絶縁性非晶質材料2-1、シリコン薄膜2-2、ゲート酸化膜2-3、ソース領域2-4、ドレイン領域2-5、ゲート電極2-6、オフセット領域2-7、ソースコンタクト領域2-8、ドレインコンタクト領域2-9、を形成した後、前記の方法によりBPSPG膜2-10を成膜する。その後750~900℃程度の熱処理によって前記BPSPG膜をリフローし、第2図(b)の2-11に示すような平坦な層間絶縁膜を形成する。

【0035】

【発明の効果】以上説明したように、簡単な工程によって自己整合的にLDD構造を実現できるのでオフ電流の低減に対してきわめて大きな効果が期待される。さらに、薄膜トランジスタのOFF領域に特有のOFFリーク電流のはねあがりを抑えることができる。LDD構造が簡単な工程で実現できるので、ドレイン耐圧が100V程度の高耐圧化が可能となる。さらに、オフセット領域のイオン注入ドーズ量によってもドレイン耐圧の値やオフ電流の値を制御することができる。

【0036】フォトリソ工程数を増やすことなく優れたLDD構造を作成することが可能となる。

【0037】ソース、ドレイン領域とソース、ドレイン電極との間にそれぞれソース、ドレインコンタクト領域を設けたのでコンタクト抵抗が低減した。そのために十分大きなオン電流を得ることができるようになった。つまり、従来LDD構造の薄膜トランジスタはオン電流が低下するという問題点が解決されたことになる。

【0038】従来オフセット領域を形成するためには、ゲート電極に側壁を形成しなければならなかった。しかし、この側壁の形成のためには、絶縁膜の膜厚やエッチングの異方性を正確に制御しなければならなかった。本発明によれば側壁を形成する必要は全くない。つまり工程管理の困難な異方性エッチング技術を用いなくてもLDD構造の薄膜トランジスタを作成することが可能となる。従って、工程の容易化、歩留りの向上に大きな効果がある。

【0039】自己整合的にゲート酸化膜をエッチング除去してシリコン薄膜の表面を露出させるので、イオン注入法ばかりでなく他の簡単な方法でも効率よく不純物を添加することができる。従って、イオン注入法を用いなくても自己整合的にオフセット領域を形成することが可能となる。その結果、均一性の優れた特性を有するLDD構造TFTを作成することが可能となる。

【0040】さらに、自己整合的にソース領域とドレイン領域が形成されるので短チャネル化に対して効果があり、特性のばらつきも少ない。チャネル領域の膜厚は100~1000Å程度と薄く、コンタクトを形成するソース及びドレイン領域の膜厚は1000Å以上と厚くできるのでコンタクト抵抗が小さくなる。その結果、薄膜トランジスタのサブスレシールド領域の立ち上がりは非常に急峻となり、コンタクト抵抗に制限されないような大きなオン電流が得られる。

【0041】リフロー技術を応用することによって平坦な層間絶縁膜を得ることができるので、その上に形成される配線の断線がきわめて少なくなり、歩留りが更に向上する。従って、本発明の効果が最大限に発揮される。非晶質絶縁基板上に優れた特性の薄膜トランジスタを製作することが可能となるので、ドライバー回路を同一基板上に集積したアクティブマトリクス基板に応用した場

合にも十分な高速動作が実現される。さらに、電源電圧の低減、消費電流の低減、信頼性の向上に対して大きな効果がある。また、600℃以下の低温プロセスによる作製も可能なので、アクティブマトリクス基板の安い価格及び大面積化に対してもその効果は大きい。

【0042】本発明を、光電変換素子とその走査回路を同一チップ内に集積した密着型イメージセンサーに応用した場合には、読み取り速度の高速化、高解像度化、さらに階調をとる場合に非常に大きな効果をうみだす。高解像度化が達成されるとカラー読み取り用密着型イメージセンサーへの応用も容易となる。もちろん電源電圧の低減、消費電流の低減、信頼性の向上に対してもその効果は大きい。また低温プロセスによって作製することができるので、密着型イメージセンサーチップの長尺化が可能となり、一本のチップでA4判あるいはA3判の様な大型ファクシミリ用の読み取り装置を実現できる。従って、センサーチップの二本縫ぎのような手数がかかり信頼性の悪い技術回避をすることができ、実装歩留りも向上される。

【0043】石英基板やガラス基板だけではなく、サファイア基板(Al_2O_3)あるいは $MgO \cdot Al_2O_3$ 、BP、 CaF_2 等の結晶性絶縁基板も用いることができる。

【0044】以上薄膜トランジスタを例として説明した

が、バイポーラトランジスタあるいはヘテロ接合バイポーラトランジスタなど薄膜を利用した素子に対しても、本発明を応用することができる。また、三次元デバイスのようなSOI技術を利用した素子に対しても、本発明を応用することができる。

【図面の簡単な説明】

【図1】(a)から(l)は、本発明における薄膜半導体装置の製造方法を示す工程図である。

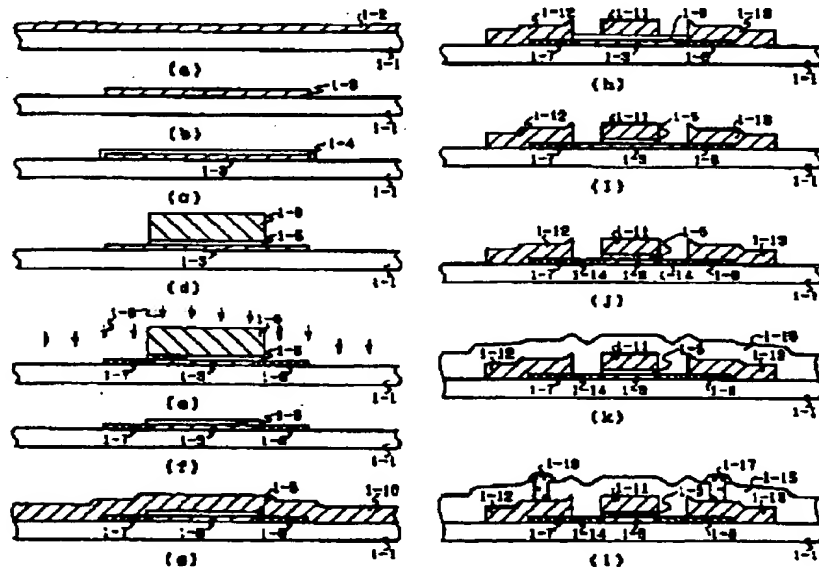
【図2】(a)から(b)は、リフロー技術を応用した場合の本発明における薄膜半導体装置の製造方法を示す工程図である。

【図3】(a)から(f)は、従来のLDD構造薄膜トランジスタの製造方法を示す工程図である。

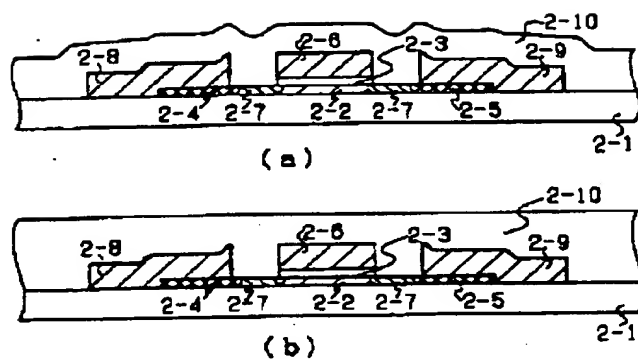
【符号の説明】

- 1-7 ソースコンタクト領域
- 1-8 ドレインコンタクト領域
- 1-11 ゲート電極
- 1-12 ソース領域
- 1-13 ドレイン領域
- 1-14 オフセット領域
- 1-16 層間絶縁膜
- 2-10 BPSG膜
- 2-11 リフローされた平坦な層間絶縁膜

【図1】



【図2】



【図3】

